

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06224473 A**

(43) Date of publication of application: **12 . 08 . 94**

(51) Int. Cl

H01L 33/00
H01L 21/205

(21) Application number: **05024999**

(71) Applicant: **SEMICONDUCTOR RES FOUND**

(22) Date of filing: **21 . 01 . 93**

(72) Inventor: **NISHIZAWA JUNICHI**

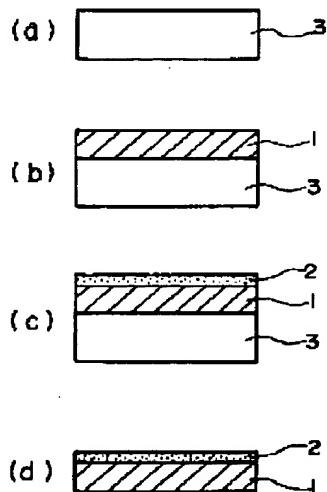
**(54) MANUFACTURE OF P-N JUNCTION CONTAINING
ZNSE AS MAIN INGREDIENT AND
MANUFACTURE OF P-N JUNCTION DEVICE**

(57) Abstract:

PURPOSE: To manufacture a diode having an excellent crystalline device structure in which p-type, n-type layers have uniform carrier density distributions and a highest efficiency when a blue light emitting diode is manufactured by liquid growth and to obtain a high industrial value.

CONSTITUTION: Low resistance p-type layer 1 and n-type layer 2 are formed on a single-crystal substrate 3 containing ZnSe as a main ingredient by an epitaxial growth using a differential-temperature vapor pressure control method with Se as main ingredient of solvent as a p-n junction.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-224473

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl.⁵

H 01 L 33/00
21/205

識別記号 庁内整理番号

D 7376-4M

F I

技術表示箇所

審査請求 有 請求項の数 9 FD (全 6 頁)

(21)出願番号

特願平5-24999

(22)出願日

平成5年(1993)1月21日

(71)出願人 000173902

財団法人半導体研究振興会

宮城県仙台市青葉区川内(番地なし)

(72)発明者 西澤 潤一

宮城県仙台市青葉区米ヶ袋1丁目6番16号

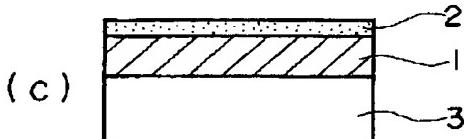
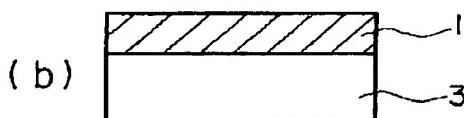
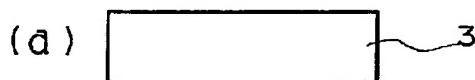
(74)代理人 弁理士 平山 一幸(外1名)

(54)【発明の名称】 ZnSeを主成分としたpn接合の製造方法並びにpn接合デバイスの製造方法

(57)【要約】

【目的】 p形、n形層がそれぞれ均一なキャリア密度分布を持つ良好な結晶性のデバイス構造となり、青色発光ダイオードなどを液相成長で製作する場合に最も高効率のダイオードの製作が可能な、工業的価値の高い、ZnSeを主成分としたpn接合の製造方法並びにpn接合デバイスの製造方法を提供する。

【構成】 ZnSeを主成分とする単結晶基板3上に、低抵抗のp形層1とn形層2を、Seを溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長によって形成し、pn接合とすることを特徴とする。



【特許請求の範囲】

【請求項1】 $ZnSe$ を主成分とする単結晶基板上に、低抵抗のp形層とn形層を、 Se を溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長によって形成し、pn接合を形成することを特徴とする、 $ZnSe$ を主成分としたpn接合の製造方法。

【請求項2】 前記p形及びn形層が、前記 Se を溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長によって成長するための条件として、p形層の場合成長温度を900～1100°C、 Zn の蒸気圧を1.7～13.0 atmの範囲とし、n形層の場合成長温度を1000～1100°C、 Zn の蒸気圧を5.0～13.0 atmの範囲としたことを特徴とする、請求項1に記載の $ZnSe$ を主成分としたpn接合の製造方法。

【請求項3】 前記p形層が、前記 Se を溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長の際にp形不純物としてNaまたは Na の Se 化合物を主成分として添加することにより形成されることを特徴とする、請求項1または2に記載の $ZnSe$ を主成分としたpn接合の製造方法。

【請求項4】 前記n形層が、前記 Se を溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長の際にn形不純物としてGa, Al, In又はそれらの Se 化合物を主成分として添加することにより形成されることを特徴とする、請求項1又は2に記載の $ZnSe$ を主成分としたpn接合の製造方法。

【請求項5】 前記p形層が、前記 Se を溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長の際に添加される不純物が Na_2Se で、前記 Se 溶媒主成分に対しておよそ3～ 8×10^{-3} mol e %の範囲で添加することにより形成されることを特徴とする、請求項1に記載の $ZnSe$ を主成分としたpn接合の製造方法。

【請求項6】 前記 $ZnSe$ を主成分とする単結晶基板が、前記pn接合の形成後除去されることを特徴とする、請求項1ないし5のいずれかに記載の $ZnSe$ を主成分としたpn接合の製造方法。

【請求項7】 前記 $ZnSe$ を主成分とした単結晶基板が、面方位が(111)で、電気的に高抵抗の基板であることを特徴とする、請求項1ないし6のいずれかに記載の $ZnSe$ を主成分としたpn接合の製造方法。

【請求項8】 前記 Se を溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長により、前記 $ZnSe$ を主成分とする単結晶基板上に、前記p形層を先に前記n形層を後にそれぞれエピタキシャル成長させ、その後前記 $ZnSe$ を主成分とする単結晶基板を除去してエピタキシャル成長層のみを残して、pn接合を形成することを特徴とする、 $ZnSe$ を主成分としたpn接合デバイスの製造方法。

【請求項9】 前記p形層およびn形層を、前記 Se を

溶媒主成分とする蒸気圧制御温度差法を用いたエピタキシャル成長によって前記 $ZnSe$ を主成分とする単結晶基板上に順次成長させることにより、前記pn接合を形成した後、前記n形層及び前記p形層の一部をエッチングにより除去し、それぞれにオーミック電極を形成することによって、前記 $ZnSe$ を主成分とする単結晶基板を除去せずにpn接合を形成することを特徴とする、 $ZnSe$ を主成分としたpn接合デバイスの製造方法。

【発明の詳細な説明】

10 【0001】

【産業上の利用分野】 この発明は、青色発光ダイオードなどを製作するための $ZnSe$ を主成分としたpn接合の製造方法とpn接合デバイスの製造方法に関する。

【0002】

【従来の技術】 図6は、従来の $ZnSe$ を主成分とするpn接合の形成方法を示している。これは、まず図6(a)に示すように、一般に高抵抗である高品位の $ZnSe$ 単結晶基板11を Zn 溶液中で熱処理を施すなどして低抵抗のn形にし、次に、図6(b)に示すように、

20 $ZnSe$ 単結晶基板11上に、 Se 溶媒にLiなどのIa族元素をp形不純物として添加したものを用いた蒸気圧制御温度差法によって、p形結晶12をエピタキシャル成長させたものである。この場合、n形 $ZnSe$ は、 Zn 溶媒中で熱処理した際に Zn 空格子点が減少することが原因と考えられるが、n形の導電性を示す。

【0003】

【発明が解決しようとする課題】 しかしながら、その後の Se を主成分とする溶媒を用いたp形エピタキシャル成長の際にn形結晶の一部が Se 溶媒による熱処理を受けるために、その部分の Se 空格子が減少して組成が変化し高抵抗化してしまい、その結果デバイス構造はpi構造またはpin構造となってしまうため、デバイスの電気的特性において高抵抗を示してしまうという問題があった。

40 【0004】 また、同じ Se を主成分とする溶媒を用いて蒸気圧制御温度差法によって成長したp形のバルク状単結晶を(110)あるいは(111)方位で碧開するかまたは切り出した基板を、 Zn 溶液中で低温熱処理してp形結晶の一部をn形化し、pn接合を形成する方法なども取られてきたが、拡散法で形成したn層は、拡散表面から接合面に向かってキャリアの密度分布や格子欠陥が生じてしまい、n形拡散層は結晶性の制御が難しく、ダイオードのシリーズ抵抗や発光特性に問題があった。

【0005】 いずれの場合も、 $ZnSe$ の溶解度が低温において Zn よりも大きい Se 溶媒を用いて結晶成長する方法でp形結晶を得、 Zn 溶液を用いた熱処理によってn形結晶を得るという、独立した二つの成長方法を組み合わせた処理によってpn接合を形成するという方法

あることに原因があると思われる。

【0006】この発明は、上記問題点に鑑み、p形層、n形層がそれぞれ均一なキャリア密度分布を持つ良好な結晶性のデバイス構造となり、青色発光ダイオードなどを液相成長で製作する場合に最も高い効率のダイオードが製作可能な、工業的価値の高い、ZnSeを主成分としたpn接合の製造方法並びにpn接合デバイスの製造方法を提供せんとするものである。

【0007】

【課題を解決するための手段】請求項1に記載のpn接合の製造方法は、ZnSeを主成分とする単結晶基板上に、低抵抗のp形層とn形層を、Seを溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長によって形成して、pn接合とすることを特徴としている。

【0008】請求項2に記載のpn接合の製造方法は、上記構成に加えて、前記p形及びn形層を、前記Seを溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長によって成長させるための条件として、p形層の場合成長温度を900～1100°C、Znの蒸気圧を1.7～13.0atmの範囲とし、n形層の場合成長温度を1000～1100°C、Znの蒸気圧を5.0～13.0atmの範囲としたことを特徴としている。

【0009】請求項3に記載のpn接合の製造方法は、上記構成に加えて、前記p形層が、前記Seを溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長の際にp形不純物としてNaまたはNaのSe化合物を主成分として添加することにより形成されることを特徴としている。

【0010】この発明によるpn接合の製造方法は、上記構成に加えて、前記n形層が、前記Seを溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長の際にn形不純物としてGa、Al、InまたはそれらのSe化合物を主成分として添加することにより形成されることが好ましい。また、この発明によるpn接合の製造方法は、上記構成に加えて、前記p形層が、前記Seを溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長の際に添加される不純物がNa₂Seで、前記Se溶媒に対しておよそ3～8×10⁻³mol%の範囲で添加することにより形成されることが好ましい。また、この発明によるpn接合の製造方法は、上記構成に加えて、前記p形層が、前記ZnSeを主成分とする単結晶基板が、前記pn接合の形成後除去されることが好ましい。さらに、この発明によるpn接合の製造方法は、上記構成に加えて、前記ZnSeを主成分とした単結晶基板を、面方位が(111)で、電気的に高抵抗な基板とすることが好ましい。

【0011】請求項8に記載のpn接合デバイスの製造方法は、前記Seを溶媒主成分とした蒸気圧制御温度差法を用いたエピタキシャル成長により、前記ZnSeを主成分とする単結晶基板上に前記p形層を先に前記n形

層を後にそれぞれエピタキシャル成長させ、その後前記ZnSeを主成分とする単結晶基板を除去してエピタキシャル成長層のみを残して、pn接合を形成することを特徴としている。

【0012】さらに、請求項9に記載の接合デバイスの製造方法は、前記p形層およびn形層を、前記Seを溶媒主成分とする蒸気圧制御温度差法を用いたエピタキシャル成長によって前記ZnSeを主成分とする単結晶基板上に順次成長させることにより、前記pn接合を形成した後、前記n形層及び前記p形層の一部をエッチングによって除去し、それぞれにオーミック電極を形成することによって、前記ZnSeを主成分とする単結晶基板を除去せずにpn接合を形成することを特徴としている。

【0013】

【作用】以上のように、この発明のZnSeを主成分としたpn接合及びpn接合デバイスは、Zn溶液を使った熱処理法などのように、空格子の増減によってn形低抵抗化させるのではなく、Zn蒸気圧の最適な制御下で、Seを主成分とする溶媒を用いてp層上にn層、またはn層上にp層をエピタキシャル成長することによって得られる低抵抗で均一なキャリア密度のn形及びp形結晶領域によって形成されるZnSeを主成分としたpn接合及びpn接合デバイスとなる。

【0014】また、ZnSeは自己補償効果のために本来p形結晶が得られにくく、何らかの方法で得られたとしても抵抗の高い低キャリア密度のものしか得られていなかったが、この発明のSeを主成分とする溶媒を用いた液相成長においては、NaまたはNaのSe化合物をpタイプドーパントとして用いることで、低抵抗で高キャリア密度のp結晶領域を得ることに成功している。

【0015】即ち、この発明のZnSeを主成分としたpn接合及びpn接合デバイスは、p形、n形共に同じSeを主成分とする溶媒を用い、蒸気圧制御温度差法を用いたエピタキシャル成長によってpn接合が形成される構造であるため、p形結晶の一部を熱処理拡散などの方法によってタイプ反転させたり、熱処理低抵抗化したn形結晶の上にp形結晶を成長させてpn接合を形成させる場合とは異なり、p形、n形層がそれぞれ均一なキャリア密度分布を持つ良好な結晶性のデバイス構造となる。

【0016】

【実施例】以下、図示した実施例に基づき本発明を詳細に説明する。図1は、この発明によって製造されたZnSeを主成分としたpn接合デバイスの構造の概略図である。1はp形不純物としてNa₂Seを添加してSeを溶媒主成分として成長したp形エピタキシャル成長層で、2はn形不純物として例えばGa₂Se₃を添加してSeを溶媒主成分として成長したn形エピタキシャル成長層である。これらのエピタキシャル成長層1、2

は、表面が(111)方位の単結晶基板上に成長されるが、基板結晶はできるだけ欠陥の少ない単結晶でなければならず、通常は極めて高抵抗とならざるを得ないので、ダイオード用のデバイス形成時には元基板を除去した構造になっている。又、本発明のZnSeを主成分としたpn接合デバイスの製造方法においては、デバイス形成プロセスにおいて成長層の選択エッチング、選択電極形成を行うことによって、元基板を除去せずにダイオードを製作するようにしてもよい。

【0017】図1に示すZnSeを主成分としたpn接合は、n層がSeを主成分とする溶媒からのエピタキシャル成長で形成されるので、Seを主成分とする溶媒によるp形層形成に際して接合部において組成の変成・高抵抗化がなく、p形結晶、n形結晶共に化学量論的組成の制御された良好な結晶性を有し、成長厚み方向に対して均一なキャリア密度を持つエピタキシャル成長層1、2から構成されるpn接合デバイスが得られ、さらにp形結晶はキャリア密度 10^{18} cm^{-3} 代の高キャリア・低抵抗結晶が得られ、n形結晶もキャリア密度が 10^{17} cm^{-3} で低抵抗な結晶が得られるため、高効率発光ダイオードなどの製作が可能である。

【0018】図2は、本発明のZnSeを主成分としたpn接合デバイスの形成手順を示している。成長元基板を切り出すためのバルク状のZnSe単結晶を得るための方法については、本発明者が既に蒸気圧制御温度差法を提案し、Znの蒸気圧を制御したZnSeの液相成長法を、特公昭60-37077号公報、特公昭60-42199号公報及び特公昭61-28640号公報などで開示している。これらによればp形または高抵抗の結晶完全性の優れた基板が得られる。

【0019】図2(a)はエピタキシャル成長用の元基板3を示している。元基板3は、バルク状のZnSe単結晶からダイヤモンドソーなどで(111)方位で切り出した後、プロムメタノールまたは王水などを用いてメカノケミカルポリッシュを施すことで、切り出し・研磨によるダメージ層を完全に取り除いたものを用いる。また、この元基板3はIa族元素を添加してバルク結晶成長したp形結晶から切り出した基板であってもよいが、化学量論的組成の点から、より完全性の高い不純物無添加の高抵抗基板を用いるのが良い。なお、低品位の結晶ではn形単結晶も存在するが、そのような結晶上にp形層を形成してもp形層が変成を受け、高抵抗化またはn形化してしまう。

【0020】先ず、図2(b)に示すように、元基板3上に高キャリアp形層1を $50 \sim 100 \mu\text{m}$ の厚みでエピタキシャル成長させる。このエピタキシャル成長法も本発明者による特公昭60-570759号公報により既に開示している方法を基にしているが、p形のエピタキシャル成長ではSe溶媒中への添加不純物として、最も高いキャリア密度が得られるNa₂Seを用いてい

る。

【0021】図3は、p形結晶成長用のドーパントとしてNa₂Seを用いて蒸気圧制御温度差法によって高抵抗基板上にエピタキシャル成長させたp形結晶の、Na₂Seの添加量とキャリア密度の関係を示す図である。成長温度は900～1100°C、Zn蒸気圧を1.7～13.0 atmの範囲で設定して成長結晶の化学量論的組成を制御している。

【0022】図3から判るように、Na₂Seの添加量によってキャリア密度 10^{15} cm^{-3} 代からの制御が可能であるが、Se溶媒の量に対して $3 \sim 8 \times 10^{-3} \text{ mol l e \%}$ の範囲で添加した場合、p形層のキャリア密度は $1 \sim 3 \times 10^{18} \text{ cm}^{-3}$ となり、高いキャリア密度が得られる。

【0023】次に、図2(c)に示すように、高キャリアp形層1の上に、n形の不純物としてGa₂Se₃を、p形結晶の場合と同様にSe溶媒中に添加して、成長温度950～1100°C、Zn蒸気圧5.0～13.0 atmの範囲で制御して、成長厚み $10 \sim 30 \mu\text{m}$ 程度のn形層2を得るべくエピタキシャル成長を行う。

【0024】成長温度1000°C～1040°Cで、Ga₂Se₃を $1 \sim 5 \times 10^{-2} \text{ mol l e \%}$ の範囲で添加した場合、n形層2のキャリア密度は $0.5 \sim 2 \times 10^{15} \text{ cm}^{-3}$ である。また、成長温度1060°C～1100°Cで同じ範囲の量を添加した場合は、 $0.5 \sim 6 \times 10^{17} \text{ cm}^{-3}$ 程度のn形結晶が得られる。そして、図2(d)に示すように、成長後、元基板3を除去してp形結晶、n形結晶共にエピタキシャル成長によって形成されたデバイス成長層1、2のみを残し、ZnSeを主成分としたpn接合デバイスが実現される。

【0025】図4は、pn接合を形成した後、高抵抗基板3'を除去せずにデバイスを製作するためのプロセスを示している。図4(a)は、p形層1、n形層2を高抵抗単結晶基板3'上にエピタキシャル成長させた後、フォトレジスト4を適当なマスクパターンを用いてn形層2の表面に残した段階を示している。

【0026】図4(b)は、王水やプロムメタノールなどのZnSeのエッティング液を用いてn形層2からp形層1の一部にかけて除去した段階を示している。

【0027】図4(c)は、エッティングによって露出したp形結晶面とレジスト4を除去したn形結晶面に、電極5、6となる金属材料をそれぞれ選択蒸着し、Arガスなどの不活性ガス中で250°C～350°Cの温度範囲でシンターを施してオーミック電極を形成した段階を示している。5はp形結晶のオーミック電極で、AuまたはAu-Zn合金などから成り、6はn形結晶のオーミック電極で、Alなどから成っている。

【0028】図4(d)は、ダイヤモンドソーなどで図4(c)の点線Aに沿って切り出した一つのダイオード

チップを示している。このようなプロセスでデバイスを製作することによって、基板を除去せずにダイオードを製作することができる。

【0029】上記した実施例によれば、p形結晶、n形結晶共に最適Zn圧制御下で、どちらもSeを主成分とする溶媒を用いた不純物添加型の成長であるので、成長時の空格子点の増減はほとんど無く、後成長の際に前成長のp形結晶あるいはn形結晶が変成・高抵抗化することがない。また、特にp形結晶は結晶性においても優れている。

【0030】図5は、成長温度950°C、最適Zn蒸気圧3.0atmで成長した場合のp形結晶の77Kにおけるカソードルミネッセンス特性を示している。室温で青色発光遷移となる2.773eVのエキシトン発光が最も優勢で、結晶欠陥などによる深い準位での発光遷移、即ち低エネルギー側での発光ピークは全く観測されない。この傾向は、成長温度1100°C、Zn蒸気圧13.0atmで成長した場合でも同様であった。

【0031】この結晶性の良好なp形結晶の上にn形結晶を成長させることで、p形結晶の良好な結晶性をn形結晶が受け継ぎ、Zn蒸気圧制御下での成長との相乗効果によって、より良好な結晶性からなるpn接合デバイスが実現できるのである。また、成長温度、不純物の添加量によってp形結晶、n形結晶共にキャリア密度が制御できるので、pn、p⁺n、p⁺n⁻などの種々のデバイス構造を製作できる。

【0032】

【発明の効果】以上述べたように、この発明のZnSeを主成分としたpn接合デバイスは、p形、n形共に同じSeを主成分とする溶媒を用い、且つ、蒸気圧制御温度差法を用いたエピタキシャル成長によってpn接合が*

*形成されるものであるため、p形結晶の一部を熱処理拡散などの方法によってタイプ反転させたり、熱処理低抵抗化したn形結晶の上にp形結晶を成長させてpn接合を形成させる場合とは異なり、p形層、n形層がそれぞれ均一なキャリア密度分布を持つ良好な結晶性のデバイス構造が得られ、青色発光ダイオードなどを液相成長で製作する場合に最も高効率のダイオードの製作が可能な、工業的価値の高いものである。

【図面の簡単な説明】

10 【図1】この発明のZnSeを主成分としたpn接合デバイス構造を示す図である。

【図2】この発明のZnSeを主成分としたpn接合デバイスの形成手順を示す図である。

【図3】p形ドーパントの添加量とキャリア密度の関係を示す図である。

【図4】pn接合を形成した後、単結晶基板を除去せずにデバイスを製作するためのプロセスを示す図である。

【図5】p形結晶の77Kにおけるカソードルミネッセンス特性を示す図である。

20 【図6】従来のZnSeを主成分としたpn接合の構造を示す図である。

【図面の簡単な説明】

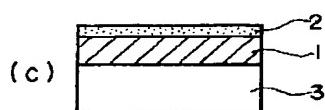
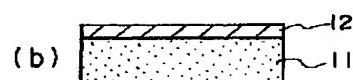
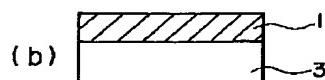
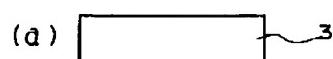
【符号の説明】

- | | |
|----|--------------|
| 1 | p形エピタキシャル成長層 |
| 2 | n形エピタキシャル成長層 |
| 3 | 単結晶元基板 |
| 3' | 単結晶基板 |
| 4 | フォトレジスト |
| 5 | p形結晶のオーム電極 |
| 6 | n形結晶のオーム電極 |

【図1】



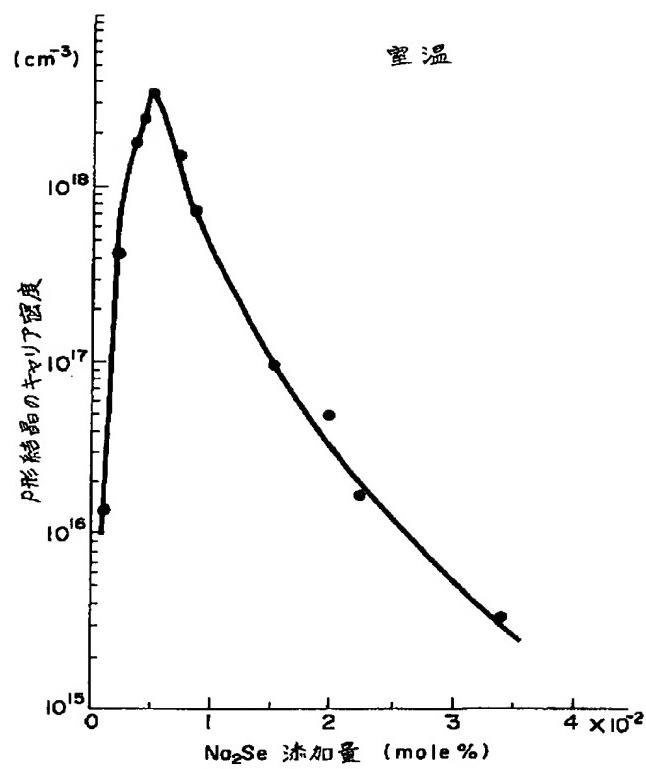
【図2】



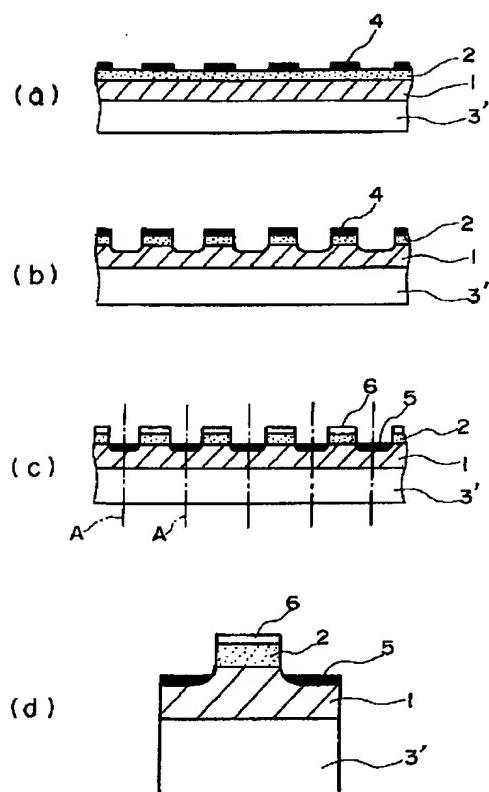
【図6】



【図3】



【図4】



【図5】

